

PAT-NO: JP407142607A

DOCUMENT-IDENTIFIER: JP 07142607 A

TITLE: SEMICONDUCTOR MEMORY AND
MANUFACTURING METHOD THEREOF

PUBN-DATE: June 2, 1995

INVENTOR-INFORMATION:

NAME

MORIHARA, TOSHINORI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP06157390

APPL-DATE: July 8, 1994

INT-CL (IPC): H01L021/8242, H01L027/108 , H01L027/04 ,
H01L021/822
, H01L029/786

ABSTRACT:

PURPOSE: To easily obtain a high integrated structure
having high
performance in an SOI structured DRAM.

CONSTITUTION: A dielectric layer 2 is formed on the main
surface of a
semiconductor substrate 1. A silicon layer 3 is formed on
the dielectric layer
2. MOS transistors 9a, 9b are formed on the silicon layer
3. The MOS
transistor 9a is provided with impurity regions 8c, 8b in
the semiconductor

layer 3. A capacitor 15 is composed of this impurity region 8c, the dielectric layer 2 and the semiconductor substrate 1. Furthermore, the dielectric layer 2 also functions as the SOT structured insulating film.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142607

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.⁶

H 0 1 L 21/8242

27/108

27/04

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/ 10

3 2 5 G

8832-4M

27/ 04

C

審査請求 未請求 請求項の数14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-157390

(22) 出願日 平成6年(1994)7月8日

(31) 優先権主張番号 特願平5-239451

(32) 優先日 平5(1993)9月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 森原 敏則

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

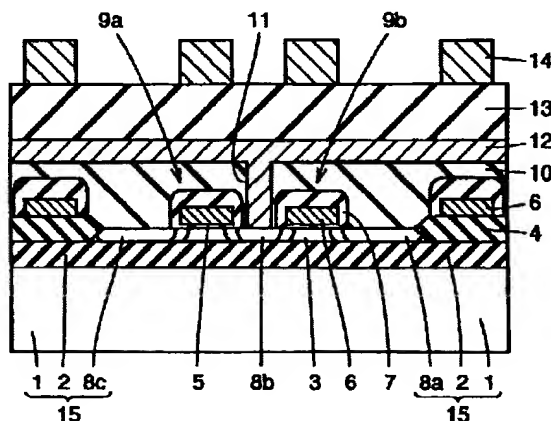
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 SOI構造のDRAMにおいて高性能かつ高集積化が図られた構造を容易に得る。

【構成】 半導体基板1の主表面上には誘電体層2が形成されている。誘電体層2上にはシリコン層3が形成されている。シリコン層3にはMOSTランジスタ9a, 9bが形成されている。MOSTランジスタ9aは、半導体層3内に不純物領域8c, 8bを有している。この不純物領域8cと誘電体層2と半導体基板1とでキャパシタ15が構成される。また、誘電体層2はSOI構造の絶縁膜の機能も有している。



1: 半導体基板

2: 誘電体層

3: シリコン層

4: フィールド酸化膜

5: ゲート絶縁膜

6: ゲート電極

7: 絶縁層

8a, 8b, 8c: 不純物領域

9a, 9b: MOSTランジスタ

10: 第1の層間絶縁層

11: コンタクトホール

12: 第2の層間絶縁層

13: 配線層

14: キャパシタ

15: キャパシタ

16: フィールド酸化膜

17: ゲート電極

18a, 18b, 18c: 不純物領域

19a, 19b: MOSTランジスタ

20: 第1の層間絶縁層

21: コンタクトホール

22: 第2の層間絶縁層

23: 配線層

24: キャパシタ

【特許請求の範囲】

【請求項1】 SOI構造を有する半導体記憶装置であって、

対向する第1と第2の表面を有する誘電体層と、
前記誘電体層の前記第1の表面上に形成された半導体層と、
前記誘電体層の前記第2の表面上に形成された導電層と、
前記半導体層内にチャネル領域を規定するように形成された第1と第2の不純物領域と、
前記チャネル領域上に絶縁層を介在して形成されたゲート電極と、
を備え、
前記第1の不純物領域と、前記第1の不純物領域と対向する前記誘電体層と、
前記導電層とでキャパシタが構成される、半導体記憶装置。

【請求項2】 前記誘電体層は高誘電率材料からなる、請求項1に記載の半導体記憶装置。

【請求項3】 前記導電層は半導体基板である、請求項1に記載の半導体記憶装置。

【請求項4】 前記半導体基板は単結晶シリコンからなり、前記半導体基板には第1の濃度の第1導電型の不純物が導入され、前記誘電体層と接触する前記半導体基板の表面であって前記第1の不純物領域直下に位置する領域には、前記第1の濃度より高い第2の濃度の第1導電型の不純物を含む第3の不純物領域が形成される、請求項3に記載の半導体記憶装置。

【請求項5】 前記誘電体層は、第1の比誘電率を有する第1の誘電体部分と、前記第1の比誘電率よりも小さい第2の比誘電率を有する第2の誘電体部分とを含み、前記第2の不純物領域は前記第2の誘電体部分上に位置し、前記第1の不純物領域は前記第1の誘電体部分上に位置する、請求項1に記載の半導体記憶装置。

【請求項6】 前記半導体層および前記ゲート電極を覆い、前記第2の不純物領域上にコンタクトホールを有する層間絶縁層と、
前記層間絶縁層上および前記コンタクトホール内に形成され、前記第2の不純物領域と電気的に接続されるビット線とをさらに備える、請求項5に記載の半導体記憶装置。

【請求項7】 メモリセルが形成されるメモリセルアレイ部と、周辺回路が形成される周辺回路部とを有する、SOI構造の半導体記憶装置であって、
対向する第1と第2の表面を有し、前記メモリセルアレイ部内から前記周辺回路部内にわたって延在する誘電体層と、
前記誘電体層の第1の表面上に形成され、前記メモリセルアレイ部内から前記周辺回路部内にわたって延在する半導体層と、

前記メモリセルアレイ部内に位置する前記半導体層内に第1のチャネル領域を規定するように間隔をあけて形成された1対の第1の不純物領域と、

前記第1のチャネル領域上に第1の絶縁層を介在して形成された第1のゲート電極と、

前記周辺回路部内に位置する前記半導体層内に第2のチャネル領域を規定するように間隔をあけて形成された1対の第2の不純物領域と、

前記第2のチャネル領域上に第2の絶縁層を介在して形成された第2のゲート電極と、

前記誘電体層の第2の表面上に形成された導電層と、
を備え、

前記誘電体層は、前記メモリセルアレイ部内においては第1の比誘電率を有する第1の誘電体部分により構成され、前記周辺回路部内においては前記第1の比誘電率より低い第2の比誘電率を有する第2の誘電体部分により構成される、半導体記憶装置。

【請求項8】 SOI構造を有する半導体記憶装置であって、

対向する第1と第2の表面を有する誘電体層と、
前記誘電体層の前記第1の表面上に形成された半導体層と、
前記誘電体層の前記第2の表面上に形成された導電層と、

前記半導体層内にチャネル領域を規定するように形成された第1と第2の不純物領域と、
前記チャネル領域上に絶縁層を介在して形成されたゲート電極と、

前記第1の不純物領域上に形成された第2の誘電体層と、
前記第2の誘電体層上に形成された第2の導電層と、
を備え、

前記第1の不純物領域と、前記第1の不純物領域と対向する前記誘電体層と、前記導電層とで第1のキャパシタが構成され、
前記第1の不純物領域と、前記第1の不純物領域と対向する前記第2の誘電体層と、前記第2の導電層とで第2のキャパシタが構成される、半導体記憶装置。

【請求項9】 前記第2の誘電体層は、前記第1の不純物領域の側面上にまで延在する、請求項8に記載の半導体記憶装置。

【請求項10】 SOI構造を有する半導体記憶装置の製造方法であって、
導電基板の主表面上に誘電体層を形成する工程と、
前記誘電体層上に半導体層を形成する工程と、
前記半導体層上に絶縁層を介在してゲート電極を形成する工程と、
前記ゲート電極をマスクとして用いて前記半導体層内に不純物を導入することによって、一方が前記誘電体層を介在して前記導電基板に対向するように前記半導体層内

に一对の不純物領域を形成する工程と、
を備えた半導体記憶装置の製造方法。

【請求項11】 SOI構造を有する半導体記憶装置の製造方法であって、

導電基板の主表面上に、第1の比誘電率を有する第1の誘電体部分と前記第1の比誘電率よりも大きい第2の比誘電率を有する第2の誘電体部分とを含む誘電体層を形成する工程と、

前記誘電体層上に半導体層を形成する工程と、

前記半導体層上に絶縁層を介在してゲート電極を形成する工程と、

前記ゲート電極をマスクとして用いて前記半導体層内に不純物を導入することによって第1と第2の不純物領域を形成する工程と、

を備えた半導体記憶装置の製造方法。

【請求項12】 前記誘電体層の形成工程は、

前記導電基板の主表面上全面に前記第1の比誘電率を有する第1の誘電体層を形成する工程と、

前記第1の誘電体層をパターニングすることによって前記導電基板の主表面上に選択的に前記第1の誘電体部分を形成する工程と、

前記第1の誘電体部分を覆うように前記導電基板の主表面上全面に前記第2の比誘電率を有する第2の誘電体層を形成する工程と、

前記第2の誘電体層にCMP (Chemical Mechanical polishing) 処理を施すことによって、前記第1の誘電体部分の間に位置する前記導電基板の主表面上に第2の誘電体部分を形成する工程と、

を含む、請求項11に記載の半導体記憶装置の製造方法。

【請求項13】 SOI構造を有する半導体記憶装置の製造方法であって、

導電基板の主表面上に半導体層を形成する工程と、

前記半導体層上に絶縁層を介在してゲート電極を形成する工程と、

前記ゲート電極をマスクとして用いて前記半導体層内に不純物を導入することによって、前記半導体層内に第1と第2の不純物領域を形成する工程と、

前記ゲート電極と前記半導体層とを覆うように絶縁層を形成する工程と、

前記第1の不純物領域の表面が露出するように前記導電基板を部分的に除去する工程と、

前記露出した第1の不純物領域の表面上に高誘電率材料からなる誘電体層を形成する工程と、

前記誘電体層を介在して前記第1の不純物領域に対向するように導電層を形成する工程と、

を備えた半導体記憶装置の製造方法。

【請求項14】 SOI構造を有する半導体記憶装置の製造方法であって、

第1の基板の主表面上に半導体層を形成する工程と、

前記半導体層上に絶縁層を介在してゲート電極を形成する工程と、

前記ゲート電極をマスクとして用いて前記半導体層内に不純物を導入することによって、前記半導体層内に第1と第2の不純物領域を形成する工程と、

前記ゲート電極と前記半導体層とを覆うように絶縁層を形成する工程と、

前記絶縁層表面上に第2の基板を接合する工程と、

前記第1の基板を除去することによって前記第1の不純物領域の表面を露出させる工程と、

前記露出した第1の不純物領域の表面上に高誘電率材料からなる誘電体層を形成する工程と、

前記誘電体層を介在して前記第1の不純物領域の表面に対向するように導電層を形成する工程と、

を備えた半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、SOI (Semiconductor On Insulator) 構造を有する半導体記憶装置に関するものである。

【0002】

【従来の技術】従来から、記憶情報のランダムな入出力が可能な半導体記憶装置として、DRAM (Dynamic Random Access Memory) は知られている。一般にDRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイ部と、このメモリセルアレイ部の動作制御を行なう周辺回路部とを有している。

【0003】図50は、一般的なDRAMの構成を示すブロック図である。図50を参照して、DRAM150は、記憶情報のデータ信号を蓄積するためのメモリセルアレイ151と、単位記憶情報を構成するメモリセルを選択するためのアドレス信号を外部から受けるためのロウアンドカラムアドレスバッファ152と、そのアドレス信号を解読することによってメモリセルを指定するためのロウデコーダ153およびカラムデコーダ154と、指定されたメモリセルに蓄積された信号を増幅して読出すためのセンスリフレッシュアンプ155と、データ入出力のためのデータインバッファ156およびデータアウトバッファ157と、クロック信号を発生するためのクロックジェネレータ158とを備えている。

【0004】半導体チップ上で大きな面積を占めるメモリセルアレイ151には、単位記憶情報を蓄積するためのメモリセルがマトリクス状に複数個配置されている。一般に、1つのメモリセルは、1つのMOS (Metal Oxide Semiconductor) トランジスタと、これに接続された1個のキャパシタとから構成されている。このようなメモリセルを1トランジスタ1キャパシタ型のメモリセルと呼んでいる。このタイプのメモリセルは、構造が簡単のためメモリセルの集

積度を向上させることが容易となる。そのため、大容量のDRAMにおいて広く用いられている。

【0005】また、DRAMのメモリセルは、キャパシタの構造によっていくつかのタイプの分類することができる。この中にスタックタイプキャパシタと呼ばれるものがある。このスタックタイプキャパシタは、キャパシタの主要部をゲート電極やフィールド酸化膜の上まで延在させることによって、キャパシタの電極間の対向面積を増大させるものである。

【0006】これにより、キャパシタ容量を増大させることが可能となる。スタックタイプキャパシタは、このような特徴を有するため、半導体記憶装置の集積化に伴い素子が微細化された場合でも、キャパシタ容量を確保することが可能となる。その結果、半導体記憶装置の高集積化に伴ってスタックタイプキャパシタが多く用いられるようになった。

【0007】しかしながら、将来的に見て素子がさらに微細化された場合には、上記のようなスタックタイプキャパシタを使用したとしてもはや一定のキャパシタ容量を確保することは困難となると考えられる。そこで、素子がさらに微細化され、メモリセルが高集積化された場合においても、一定のキャパシタ容量を確保でき、かつDRAM内で使用されるトランスファゲートトランジスタの特性をも改善し得るものとして、DRAMにSOI構造を適用する技術が特開昭60-250665号公報に開示されている。

【0008】図51は、特開昭60-250665号公報に開示されたDRAMを示す部分断面図である。以下、この図51を用いて、従来のSOI構造を有するDRAMの一例について説明する。

【0009】図51を参照して、p型シリコン基板101の主表面上には、薄い絶縁酸化膜102と、厚い酸化膜103とが形成されている。薄い絶縁酸化膜102上には、多結晶シリコンからなる導電層104が形成されている。上記のシリコン基板101と、薄い絶縁酸化膜102と導電層104とでキャパシタ120が構成される。

【0010】導電層104上には、所定位置にコンタクトホールを有する絶縁層105が形成されている。このコンタクトホール内には、高融点金属シリコンサイドなどからなるプラグ106が形成されている。絶縁層105上およびプラグ106上には、MOSTランジスタ107が形成される。MOSTランジスタ107は、シリコン層内に形成されソース/ドレイン領域となる不純物領域121、122と、ゲート電極109とを有する。

【0011】そして、不純物領域121が、プラグ106を介して導電層104に電気的に接続される。また、不純物領域122は、ビット線108に電気的に接続される。MOSTランジスタ107を覆うように絶縁層133、134が形成されている。絶縁層133上には、

ゲート電極109と電気的に接続されるワード線110が形成されている。

【0012】上記のSOI構造を有するDRAMにおいては、キャパシタ120上に、絶縁層105を介してMOSTランジスタ107が形成されている。そのため、キャパシタ120の平面的な面積を大きく確保することが可能となる。それにより、素子の高集積化に際しても、一定のキャパシタ容量を確保することが可能となる。また、MOSTランジスタ107については、SOI構造特有の特性も得られる。

【0013】

【発明が解決しようとする課題】しかしながら、上記のSOI構造を有するDRAMにおいても、次に説明するような3つの問題点があった。まず第1の問題点について説明する。上記のSOI構造のDRAMにおいては、MOSTランジスタ107が形成されるシリコン層と、導電層104とが別々の層に形成されている。そのため、MOSTランジスタの不純物領域121と導電層104とを電気的に接続するためのプラグ106の形成、このプラグ106以外の部分でMOSTランジスタ107と導電層104とを絶縁分離するための絶縁層105の形成などが必要となってくる。すなわち、導電層104、絶縁層105、プラグ106、MOSTランジスタが形成されるシリコン層などをそれぞれ別工程で形成しなければならなかった。その結果、工程が煩雑になり、製造コストが高くなるといった第1の問題点が生じる。

【0014】次に第2の問題点について説明する。上記のSOI構造を有するDRAMにおいては、キャパシタ容量を増大させるため、キャパシタ120上に絶縁層105を介してMOSTランジスタ107が形成されている。そのため、DRAMの高さが高くなるといった問題点も生じる。

【0015】次に第3の問題点について説明する。図51に示されるように、DRAMにおける不純物領域121は、プラグ106を介してストレージノード電極となる導電層104に電気的に接続される。そのため、不純物領域121と導電層104との間には、不純物領域121とプラグ106との間のコンタクト部と、プラグ106と導電層104との間のコンタクト部が存在することとなる。この2つのコンタクト部が存在することによって、不純物領域121と導電層104との間の抵抗値が高められる。それにより、DRAMの動作速度を低下させるといった問題点が生じていた。

【0016】この発明は、上記のような課題を解決するためになされたものである。この発明の1つの目的は、製造工程を簡略化することが可能となるSOI構造を有する半導体記憶装置およびその製造方法を提供することにある。

【0017】この発明の他の目的は、装置を高さ方向に縮小することが可能となる半導体記憶装置およびその製

造方法を提供することにある。

【0018】この発明のさらに他の目的は、MOSトランジスタの一方の不純物領域とストレージノード電極となる導電層との間が抵抗を低減することによって、動作速度を向上させることが可能となる半導体記憶装置およびその製造方法を提供することにある。

【0019】

【課題を解決するための手段】この発明に基づく半導体記憶装置は、SOI構造を有する半導体記憶装置であることを前提とする。この発明に基づく半導体記憶装置は、一つの局面では、対向する第1と第2の表面を有する誘電体層と、この誘電体層の第1の表面上に形成された半導体層と、誘電体層の前記第2の表面上に形成された導電層と、半導体層内にチャネル領域を規定するように形成された第1と第2の不純物領域と、チャネル領域上に絶縁層を介在して形成されたゲート電極とを備え、第1の不純物領域と、この第1の不純物領域と対向する誘電体層と、導電層とでキャパシタが構成される。

【0020】上記の誘電体層は、好ましくは、高誘電率材料からなる。なお、ここで、高誘電率材料とは、シリコン酸化膜よりも比誘電率の高い材料のことを称するものとする。より好ましくは、高誘電率材料は、10以上の比誘電率を有する材料のことを称する。

【0021】上記の導電層は、好ましくは、半導体基板である。また、半導体基板は好ましくは単結晶シリコンからなり、この半導体基板には、好ましくは、第1の濃度の第1導電型の不純物が導入され、誘電体層と接触する半導体基板の表面であって第1の不純物領域直下に位置する領域には、第1の濃度よりも高い第2の濃度の第1導電型の不純物を含む第3の不純物領域が形成される。また、誘電体層は、好ましくは、第1の比誘電率を有する第1の誘電体部分と、第1の比誘電率よりも小さい第2の誘電率を有する第2の誘電体部分とを含み、第2の不純物領域は第1の誘電体部分上に位置し、第1の不純物領域は第1の誘電体部分上に位置する。

【0022】この発明に基づく半導体記憶装置は、他の局面では、メモリセルが形成されるメモリセルアレイ部と、周辺回路が形成される周辺回路部とを有するSOI構造の半導体記憶装置であることを前提とする。そして、この局面における半導体記憶装置は、対向する第1と第2の表面を有し、メモリセルアレイ部内から周辺回路部内にわたって延在する誘電体層と、誘電体層の第1の表面上に形成されメモリセルアレイ部内から周辺回路部内にわたって延在する半導体層と、メモリセルアレイ部内に位置する半導体層内に第1のチャネル領域を規定するように間隔をあけて形成された1対の第1の不純物領域と、第1のチャネル領域上に第1の絶縁層を介在して形成された第1のゲート電極と、周辺回路部内に位置する半導体層内に第2のチャネル領域を規定するように間隔をあけて形成された1対の第2の不純物領域と、第

2のチャネル領域上に第2の絶縁層を介在して形成された第2のゲート電極と、誘電体層の第2の表面上に形成された導電層とを備える。そして、上記の誘電体層は、メモリセルアレイ部内においては、第1の比誘電率を有する第1の誘電体部分により構成され、周辺回路部内においては第1の比誘電率より低い第2の比誘電率を有する第2の誘電体部分により構成される。

【0023】この発明に基づく半導体記憶装置は、さらに他の局面では、対向する第1と第2の表面を有する誘電体層と、誘電体層の第1の表面上に形成された半導体層と、誘電体層の第2の表面上に形成された導電層と、半導体層内にチャネル領域を規定するように形成された第1と第2の不純物領域と、チャネル領域上に絶縁層を介在して形成されたゲート電極と、第1の不純物領域表面上に形成された第2の誘電体層と、第2の誘電体層上に形成された第2の導電層とを備える。そして、上記の第1の不純物領域と、第1の不純物領域と対向する誘電体層と、導電層とで第1のキャパシタが構成され、第1の不純物領域と、この第1の不純物領域と対向する第2の誘電体層と、第2の導電層とで第2のキャパシタが構成される。上記の第2の誘電体層は、好ましくは、第1の不純物領域の側面上にまで延在する。

【0024】この発明に基づく半導体記憶装置の製造方法によれば、一つの局面では、まず導電基板の主表面上に誘電体層を形成する。この誘電体層上に半導体層を形成する。半導体層上に絶縁層を介在してゲート電極を形成する。このゲート電極をマスクとして用いて半導体層内に不純物を導入することによって、一方が誘電体層を介在して導電基板に対向するように半導体層内に1対の不純物領域を形成する。

【0025】この発明に基づく半導体記憶装置の製造方法によれば、他の局面では、まず導電基板の主表面上に、第1の比誘電率を有する第1の誘電体部分と、この第1の比誘電率よりも大きい第2の比誘電率を有する第2の誘電体部分とを含む誘電体層を形成する。誘電体層上に半導体層を形成する。半導体層上に絶縁層を介在してゲート電極を形成する。ゲート電極をマスクとして用いて半導体層内に不純物を導入することによって第1と第2の不純物領域を形成する。

【0026】この発明に基づく半導体記憶装置の製造方法によれば、さらに他の局面では、まず導電基板の主表面上に半導体層を形成する。この半導体層上に絶縁層を介在してゲート電極を形成する。ゲート電極をマスクとして用いて半導体層内に不純物を導入することによって、半導体層内に第1と第2の不純物領域を形成する。ゲート電極と半導体層とを覆うように絶縁層を形成する。そして、第1の不純物領域の表面が露出するように導電基板を部分的に除去する。この露出された第1の不純物領域の表面上に高誘電率材料からなる誘電体層を形成する。この誘電体層を介在して第1の不純物領域に対

向するように導電層を形成する。

【0027】この発明に基づく半導体記憶装置の製造方法によれば、さらに他の局面では、まず第1の基板の主表面上に半導体層を形成する。この半導体層上に絶縁層を介在してゲート電極を形成する。このゲート電極をマスクとして用いて半導体層内に不純物を導入することによって、半導体層内に第1と第2の不純物領域を形成する。ゲート電極と半導体層とを覆うように絶縁層を形成する。この絶縁層表面上に第2の基板を接合する。第1の基板を除去することによって第1の不純物領域の表面を露出させる。露出した第1の不純物領域の表面上に高誘電率材料からなる誘電体層を形成する。誘電体層を介在して第1の不純物領域の表面に対向するように導電層を形成する。

【0028】

【作用】この発明に基づく半導体記憶装置によれば、この半導体記憶装置内に含まれるトランスファゲートトランジスタの第1の不純物領域がキャパシタの一方の電極を兼ね、キャパシタの誘電体層がSOI構造の絶縁層を兼ねている。そのため、従来例のように、キャパシタの一方の電極と半導体層間に絶縁層の形成の必要がなくなるとともに、キャパシタの一方の電極と半導体層内の一方の不純物領域とを電気的に接続するプラグの形成の必要がなくなる。その結果、半導体記憶装置の構造を簡略化でき、かつ装置を高さ方向に縮小することが可能となる。また、上記の一方の不純物領域とキャパシタの一方の電極とを一体化することによって、従来例のようなキャパシタの一方の電極と一方の不純物領域との間のコンタクト抵抗がなくなる。つまり、寄生抵抗を低減できる。それにより、半導体記憶装置の動作速度を向上させることが可能となる。

【0029】上記の導電層が半導体基板によって構成された場合には、キャパシタの他方の電極を別途形成する必要がなくなる。それにより、製造工程が簡略化される。また、第3の不純物領域を形成した場合には、キャパシタ容量をさらに増大させることが可能となる。

【0030】上記の第2の不純物領域と導電層との間に相対的に比誘電率の低い第2の誘電体部分が形成された場合には、次のような作用効果を奏する。すなわち、第2の不純物領域にたとえばビット線などの配線層が接続された場合に、この配線層と導電層間の寄生容量を、上記の局面における半導体記憶装置の場合よりも小さく抑えることが可能となる。それにより、上記の局面における半導体記憶装置よりもさらに性能を向上させることが可能となる。なお、このとき、第1の不純物領域と、相対的に高い比誘電率を有する第2の誘電体部分と、導電層とでキャパシタが構成される。そのため、一定のキャパシタ容量は、容易に確保される。

【0031】この発明に基づく半導体記憶装置によれば、他の局面では、相対的に比誘電率の高い第1の誘電

体部分がメモリセルアレイ部内に形成され、相対的に比誘電率の低い第2の誘電体部分が周辺回路部内に形成される。それにより、メモリセルアレイ部内では一定のキャパシタ容量を確保することが容易となり、かつ、周辺回路部内においては、誘電体層を一樣に比誘電率の高い材質によって構成した場合に比べて寄生容量を低減することも可能となる。

【0032】この発明に基づく半導体記憶装置によれば、さらに他の局面では、第1のキャパシタ上に第2のキャパシタが形成される。つまり、上記の各局面における場合に比べて第2のキャパシタがさらに追加された構造となる。それにより、上記の各局面における半導体記憶装置よりもキャパシタ容量を増大させることが可能となる。

【0033】この発明に基づく半導体記憶装置の製造方法によれば、一つの局面では、第1の不純物領域とキャパシタの一方の電極とを同時に形成することが可能となる。また、従来例のように、第1の不純物領域とキャパシタの一方の電極とのコンタクト部の形成の必要もなくなる。さらに、従来例のように、半導体層とキャパシタの一方の電極との間に絶縁層を形成する必要もなくなる。さらに、SOI構造の絶縁層とキャパシタ誘電体層とを同時に形成することが可能となる。その結果、半導体記憶装置の製造工程を簡略化することが可能となる。

【0034】この発明に基づく半導体記憶装置の製造方法によれば、他の局面では、キャパシタの一方の電極となる第2の導電層と第2の不純物領域とを電気的に接続するプラグの形成を省略できる。また、半導体層とキャパシタの一方の電極との間に、従来例のように、絶縁層を形成する必要もなくなる。それにより、従来例よりも製造工程を簡略化することが可能となる。

【0035】この発明に基づく半導体記憶装置の製造方法によれば、さらに他の局面では、トランスファゲートトランジスタの第1と第2の不純物領域と、キャパシタの誘電体膜とを同一工程で形成できる。また、半導体層とキャパシタの一方の電極とを電気的に接続するためのプラグの形成、半導体層とキャパシタの一方の電極間の絶縁層の形成を省略できる。それにより、従来例よりも製造工程を簡略化することが可能となる。また、基板の主表面上に半導体層、ゲート電極、第1および第2の不純物領域、絶縁層をそれぞれ形成した後に、誘電体層を形成している。誘電体層は600℃程度以上の温度を用いる高温処理が施されるとその特性が劣化しやすくなる。この高温処理として考えられるのは、上記の絶縁層の平坦化のためのリフロー処理、第1および第2の不純物領域の形成のための不純物の拡散処理などである。しかし、この場合であれば、絶縁層、第1および第2の不純物領域は、誘電体層の形成以前に既に形成されている。そのため、誘電体層には上記の高温処理が施されない。その結果、誘電体層の特性劣化を防止することが可

能となる。

【0036】

【実施例】以下、この発明に基づく実施例について、図1〜図48を用いて説明する。

【0037】(第1実施例)図1および図2は、この発明に基づく第1の実施例におけるDRAMを示す部分断面図である。図3〜図7は、この第1の実施例におけるDRAMの製造工程の第1工程〜第5工程を示す部分断面図である。

【0038】まず、図1および図2を用いて、この発明に基づく第1の実施例におけるDRAMの構造について説明する。図1および図2を参照して、導電性を有する半導体基板1の主表面上には、誘電体層2が形成されている。この誘電体層2の材質は、好ましくは、シリコン酸化膜である。

【0039】誘電体層2上には、シリコン層(他の半導体層であってもよい)3が形成される。このシリコン層3の膜厚は、好ましくは、約1000Å〜約3000Å程度である。シリコン層3の所定位置には、フィールド酸化膜4が形成される。このフィールド酸化膜4に囲まれる領域内におけるシリコン層3には、メモリセルアレイ部内に位置するMOSTランジスタ(トランジスタ)9a、9bと、周辺回路部内に位置するMOSTランジスタ9cとが形成される。

【0040】MOSTランジスタ9aは、シリコン層3内にチャネル領域を規定するように形成された一対の不純物領域8b、8cと、チャネル領域上にゲート絶縁膜5を介して形成されたゲート電極6とを有している。MOSTランジスタ9bも、一対の不純物領域8a、8bと、ゲート電極6とを有している。MOSTランジスタ9cは、一対の不純物領域8、8と、ゲート電極6とを有している。

【0041】ゲート電極6を覆うように絶縁層7が形成される。この絶縁層7およびシリコン層3の一部表面を覆うようにBPSG膜などからなる第1の層間絶縁層10が形成される。この第1の層間絶縁層10には所定位置にコンタクトホール11が形成されている。コンタクトホール11内表面および第1の層間絶縁層10上には、ビット線12が形成される。ビット線12は、MOSTランジスタ9a、9bの一方の不純物領域8bと電気的に接続される。ビット線12上にはBPSG膜などからなる第2の層間絶縁層13が形成される。この第2の層間絶縁層13上には所定形状にパターニングされた配線層14が形成される。

【0042】上記の構成を有するDRAMにおいて、半導体基板1と、誘電体層2と、不純物領域8aあるいは8cとでキャパシタ15が構成される。すなわち、MOSTランジスタ9a、9bにおける一方の不純物領域8a、8cが、キャパシタ15の一方の電極(ストレージノード電極)として機能し、半導体基板1がキャパシタ

15の他方の電極(セルプレート電極)として機能することになる。

【0043】また、誘電体層2は、SOI構造の絶縁層として機能するとともに、キャパシタ15の誘電体層として機能することとなる。このような構造を有することによって、従来よりも装置を高さ方向に縮小することが可能となる。

【0044】また、本実施例においては、従来例のようにMOSTランジスタ9a、9bにおける一方の不純物領域8a、8cをプラグを介してキャパシタのストレージノード電極と電気的に接続する必要がなくなる。すなわち、本実施例においては、従来例において必要であったプラグと不純物領域8a、8cとのコンタクト部、プラグとストレージノード電極とのコンタクト部が存在しないことになる。それにより、このような2つのコンタクト部が存在することによる寄生抵抗の増大を効果的に阻止することが可能となる。その結果、DRAMの動作速度を向上させることが可能となる。

【0045】次に、図3〜図7を用いて、上記の構成を有する第1の実施例におけるDRAMの製造工程について説明する。図3を参照して、たとえば、半導体基板1の主表面に、酸素イオンを $2 \times 10^{18} / \text{cm}^2$ 程度注入し、高温(1300℃)処理を施すことによって誘電体層2を形成する。それにより、SOI構造の絶縁層とキャパシタの誘電体層が同時に形成されることになる。そして、この誘電体層2上に、CVD法などを用いて、たとえばp型の不純物が導入されたシリコン層3を形成する。

【0046】次に、図4を参照して、LOCOS(Local Oxidation of Silicon)法等によって、素子分離領域にフィールド酸化膜4を形成する。

【0047】次に、図5を参照して、熱酸化法などを用いてシリコン層3表面にゲート絶縁膜5を形成する。このゲート絶縁膜5上に、CVD法などを用いて、多結晶シリコン層6を形成する。この多結晶シリコン層6上に、CVD法などを用いて、絶縁層7aを形成する。そして、この絶縁層7a、多結晶シリコン層6、ゲート絶縁膜5を順次エッチングすることによって、ゲート電極6を形成する。次に、このゲート電極6および絶縁層7aをマスクとして用いて、n型の不純物をシリコン層3内に注入する。それにより、不純物領域8a'、8b'、8c'がそれぞれ形成される。なお、上記の多結晶シリコン層6はポリサイド構造を有するものであってもよい。

【0048】次に、図6を参照して絶縁層7aおよびシリコン層3を覆うように、CVD法などを用いて、絶縁層を形成する。この絶縁層に異方性エッチング処理を施すことによって、ゲート電極6の側壁に、絶縁層7bを形成する。次に、絶縁層7a、7bおよびゲート電極6

をマスクとして用いて、シリコン層3にn型の不純物を注入する。

【0049】それにより、MOSTランジスタ9a、9bのソース/ドレイン領域となる不純物領域8a、8b、8cがそれぞれ形成される。また、このとき、上記の絶縁層7aおよび絶縁層7bによって、ゲート電極6を覆う絶縁層7が形成されることになる。上記の不純物領域8a、8cはキャパシタの一方の電極を兼ねるので、この工程で同時にキャパシタの一方の電極も形成されることになる。なお、上記のMOSTランジスタ9a、9bの形成と同時に、周辺回路部においては、MOSTランジスタ9cが形成される。

【0050】次に、図7を参照して、上記の絶縁層7およびシリコン層3を覆うように、CVD法などを用いて、BPSG膜などからなる第1の層間絶縁層10を堆積する。そして、この第1の層間絶縁層10にリフロー処理を施す。次に、この第1の層間絶縁層10において不純物領域8b上に位置する領域に、コンタクトホール11を形成する。

【0051】そして、CVD法などを用いて、コンタクトホール11内および第1の層間絶縁層10上に、多結晶シリコン層12を堆積する。この多結晶シリコン層12を所定形状にパターニングする。それにより、ビット線12が形成されることになる。なお、このビット線12は、多結晶シリコンと、タングステンシリサイド(WSi)の積層構造を有するものであってもよい。この場合には、タングステンシリサイドは、スパッタリング法などを用いて形成される。

【0052】次に、ビット線12上に、CVD法などを用いて、BPSG膜などからなる第2の層間絶縁層13を堆積する。この第2の層間絶縁層13にリフロー処理を施した後、この第2の層間絶縁層13上に、スパッタリング法などを用いて、アルミニウムなどからなる配線層14を形成する。

【0053】以上の工程を経て図1に示されるDRAMが形成されることになる。上記の製造工程において、MOSTランジスタのソース/ドレイン領域となる不純物領域8a、8cが、キャパシタの一方の電極(ストレージノード電極)を兼ね、半導体基板1がキャパシタの他方の電極(セルプレート電極)を兼ね、誘電体層2がSOI構造の絶縁層とキャパシタの誘電体層とを兼ねるので、従来のように別工程でキャパシタの一方の電極、キャパシタの誘電体層およびキャパシタの他方の電極を形成する必要がなくなる。それにより、従来よりも製造工程を簡略化することが可能となる。

【0054】(第2実施例) 次に、図8～図10を用いて、この発明に基づく第2の実施例におけるDRAMについて説明する。図8および図10は、この発明に基づく第2の実施例におけるDRAMを示す部分断面図である。図9は、この発明に基づく第2の実施例におけるD

RAMの特徴的な製造工程を示す部分断面図である。

【0055】図8および図10を参照して、本実施例においては、誘電体層2aが高誘電率材料により構成されている。より具体的には、この誘電体層2aの比誘電率は、シリコン酸化膜の比誘電率よりも大きい。より好ましくは、誘電体層2aの比誘電率は10以上である。この誘電体層2aの材質としては、 Ta_2O_5 、 TiO_2 、 $(Ba, Sr)TiO_3$ 、 $SrTiO_3$ 、PLZT、PZTなどを挙げることができる。

【0056】それ以外の構造に関しては、上記の第1の実施例と同様である。それにより、上記の第1の実施例と同様の効果が得られる。また、本実施例によれば、誘電体層2aが上記のような高誘電率材料により構成されるので、同一の平面積当たりのキャパシタ容量を増大させることが可能となる。それにより、上記の第1の実施例の場合と同様のキャパシタ容量を確保しようとした場合に、不純物領域8a、8cの平面積を縮小できる。その結果、上記の第1の実施例の場合よりもDRAMの高集積化が可能となる。

【0057】次に、本実施例におけるDRAMの製造方法について説明する。図9を参照して、半導体基板1の主表面上に、スパッタリング法あるいはCVD(Chemical Vapor Deposition)法などを用いて誘電体層2aを形成する。そして、この誘電体層2a上に、上記の第1の実施例と同様の方法でシリコン層3を形成する。

【0058】それ以降は、上記の第1の実施例と同様の工程を経て図8および図10に示されるDRAMが形成されることになる。それにより、上記の第1の実施例の場合と同様に、従来例よりも製造工程を簡略化することが可能となる。

(第3実施例) 次に、図11～図13を用いて、この発明に基づく第3の実施例におけるDRAMについて説明する。図11は、この発明に基づく第3の実施例におけるDRAMを示す部分断面図である。図12および図13は、この発明に基づく第3の実施例におけるDRAMの製造工程の特徴的な第1工程および第2工程を示す部分断面図である。

【0059】まず図11を用いて、本実施例におけるDRAMの構造について説明する。図11を参照して、本実施例においては、ストレージノード電極として機能する不純物領域8a、8c上に、さらに誘電体層60が形成され、この誘電体層60上にさらにセルプレート電極62が形成されている。

【0060】つまり、本実施例においては、DRAMの高さ方向に2つのキャパシタが積層されることになる。一方のキャパシタは、半導体基板1と、誘電体層2aと、不純物領域8aあるいは8cとで構成され、他方のキャパシタは、不純物領域8aあるいは8cと、誘電体層60と、セルプレート電極62とで構成されることになる。上記のような構造を有することによって、上記の

第2の実施例の場合よりもさらに単位平面積当たりのキャパシタ容量を増大させることが可能となる。その結果、上記の第2の実施例の場合よりもさらにDRAMを高集積化することが可能となる。

【0061】なお、図11に示される誘電体層2aの代わりに誘電体層2を用いてもよい。さらに、誘電体層60の材質は、誘電体層2、2aと同様のものであってもよい。さらに、セルプレート電極62の材質としては、Pt、Au、不純物の導入された多結晶シリコン層などを挙げることができる。これらの材質は、誘電体層2、2aの材質によって適宜選択される。次に、図12および図13を用いて、本実施例におけるDRAMの製造方法について説明する。まず図12を参照して、上記の第2の実施例と同様の工程を経て不純物領域8a、8b、8cまでを形成する。次に、誘電体層60の材質として高誘電率材料を選択した場合には、スパッタリング法あるいはCVD法などを用いて誘電体層60を形成する。なお、誘電体層60の材質としてシリコン酸化膜を選択した場合には、CVD法などを用いて誘電体層60を形成する。その後、スパッタリング法あるいはCVD法などを用いて、セルプレート電極62を形成する。

【0062】次に、図13を参照して、上記の第1の実施例と同様の方法で、第1の層間絶縁層10およびビット線12を形成する。それ以降は上記の第1の実施例と同様の工程を経て図11に示されるDRAMが形成されることになる。本実施例においては、上記の第1および第2の実施例に比べて、誘電体層60およびセルプレート電極62を形成する工程が増える。したがって、上記の第1および第2の実施例の場合よりも製造工程は増大する。しかし、従来例と比較した場合には、ストレージノード電極とMOSトランジスタの一方の不純物領域との間のコンタクト部形成工程を省略できるので、従来例よりも製造工程を簡略化することは可能となる。

【0063】(第4実施例) 次に、図14～図18を用いて、この発明に基づく第4の実施例におけるDRAMについて説明する。図14は、この発明に基づく第4の実施例におけるDRAMを示す部分断面図である。図15～図18は、この発明に基づく第4の実施例におけるDRAMの製造工程の特徴的な第1工程～第4工程を示す部分断面図である。

【0064】まず図14を用いて、この発明に基づく第4の実施例におけるDRAMの構造について説明する。図14を参照して、本実施例においては、第1の実施例におけるDRAMにおいてシリコン層3上に形成されたビット線12などの配線層構造が、第2の基板24上に、接着層22を介して接合されている。また、誘電体層2a上には、Pt、Auなどからなるセルプレート電極26が新たに形成されている。

【0065】それ以外の構造に関しては図1に示される第1の実施例におけるDRAMと同様である。なお、不

純物領域8a、8b、8cはLDD構造以外の構造を有するものであってもよい。これは全ての実施例においても同様である。

【0066】本実施例においては、セルプレート電極26と、誘電体層2aと、不純物領域8aあるいは8cとでキャパシタが構成されることになる。すなわち、MOSトランジスタ9a、9bの不純物領域8a、8cと、キャパシタのストレージノード電極が同一層内に形成されることになる。また、誘電体層2aが、SOI構造の絶縁層とキャパシタ誘電体層とを兼ねている。そのため、上記の第1の実施例ほどではないが、従来よりも装置を高さ方向に縮小することが可能となる。また、上記の第1の実施例の場合と同様に、DRAMの動作速度を向上させることも可能となる。

【0067】次に、図15～図18を用いて、この発明に基づく第2の実施例におけるDRAMの製造方法について説明する。まず図15を参照して、SOI構造を有する半導体基板1を準備する。このとき、半導体基板1の主表面には、上記の第1の実施例と同様の方法で誘電体層2が形成されている。

【0068】この誘電体層2上に、シリコン層3を形成する。その後は、上記の第1の実施例と同様の工程を経て、配線層14までを形成する。そして、この配線層14を覆うように、絶縁層20を形成する。

【0069】次に、図16を参照して、第2の基板24を準備し、この第2の基板24の主表面と、絶縁層20の上面とを接着層22によって接合する。この接着層22としては、たとえば、絶縁層20および第2の基板24の膨張係数と近い値の熱膨張係数を有する有機系の接着剤などを挙げることができる。次に、図17を参照して、ウエットエッチング法を用いて、半導体基板1および誘電体層2を除去する。それにより、シリコン層3の表面が露出する。

【0070】次に、図18を参照して、スパッタリング法あるいはCVD法などを用いて、シリコン層3上に誘電体層2aを形成する。そして、この誘電体層2a上に、スパッタリング法あるいはCVD法などを用いて、セルプレート電極26を形成する。このとき、セルプレート電極26は、600℃未満の低温で形成されることが好ましい。以上の工程を経て、図14に示されるDRAMが形成される。

【0071】以上の製造工程において、誘電体層2aは、第1および第2の層間絶縁層10、13あるいはMOSトランジスタ9a、9bの形成の後に形成される。誘電体層2aは、約600℃程度以上の高温の熱処理が加わると誘電率などの特性が劣化しやすくなる。より具体的には、第1および第2の層間絶縁層10、13のリフロー処理時などの高温(800℃～900℃)の処理が誘電体層2aに加わった場合に、誘電体層2aの特性は劣化しやすくなる。

【0072】本実施例においては、そういった高温処理が全て終了した後に誘電体層2aが形成されるため、この誘電体層2aには高温処理が加わらない。その結果、上記の第1の実施例に比べて製造工程はやや増えるが、誘電体層2aの特性劣化を効果的に阻止することが可能となる。それにより、高性能なDRAMが得られる。

【0073】(第5実施例)次に、図19および図20を用いて、この発明に基づく第5の実施例について説明する。図19は、この発明に基づく第5の実施例におけるDRAMを示す部分断面図である。図20は、この第5の実施例におけるDRAMの特徴的な製造工程を示す部分断面図である。

【0074】まず図19を用いて、第5の実施例におけるDRAMの構造について説明する。図19を参照して、本実施例においては、上記の第4の実施例の構造に、誘電体層60とセルプレート電極62とが付加されている。それにより、上記の第3の実施例の場合と同様に、第4の実施例の場合よりもDRAMの高集積化が可能となる。それ以外の構造に関しては第4の実施例と同様である。

【0075】次に、図20を用いて、本実施例におけるDRAMの製造方法について説明する。図20を参照して、上記の第1の実施例と同様の工程を経て不純物領域8a, 8b, 8cまでを形成する。そして、上記の第3の実施例と同様の方法で、誘電体層60およびセルプレート電極62を形成する。その後は、上記の第4の実施例と同様の工程を経て、図19に示されるDRAMが形成されることになる。

【0076】(第6実施例)次に、図21~図27を用いて、この発明に基づく第6の実施例について説明する。図21は、この発明に基づく第6の実施例におけるDRAMの部分断面図である。図22~図25は、この発明に基づく第6の実施例におけるDRAMの製造工程の特徴的な第1工程~第4工程を示す部分断面図である。図26および図27は、この発明に基づく第6の実施例におけるDRAMの製造方法の変形例を示す断面図である。

【0077】まず図21を用いて、本実施例におけるDRAMの構造について説明する。図21を参照して、本実施例においては、不純物領域8a, 8c下においてのみ誘電体層2aが形成され、それ以外の半導体基板1の主表面上には誘電体層2が形成されている。

【0078】このような構造を有することによって、上記の第2の実施例の場合と同程度のキャパシタ容量を確保できることに加えて、上記の第2の実施例の場合よりもビット線12と不純物領域8bとのコンタクト部下における寄生容量を低減することが可能となる。それにより、DRAMの高集積化が容易となることに加えて、動作速度が向上したDRAMが得られることになる。それ以外の構造に関しては、上記の第1および第2の実施例

と同様である。

【0079】次に、本実施例におけるDRAMの製造方法について説明する。まず図22を参照して、上記の第1の実施例と同様の方法で、半導体基板1の主表面上全面に誘電体層2を形成する。そして、この誘電体層2を所定形状にパターニングすることによって、半導体基板1の主表面を選択的に露出させる開口部70を形成する。

【0080】次に、図23を参照して、上記の第2の実施例と同様の方法で、半導体基板1の主表面上全面に誘電体層2aを堆積する。このとき、誘電体層2aの厚みを適切に調整することによって、開口部70を誘電体層2aによって充填する。

【0081】次に、図24を参照して、上記の誘電体層2aにCMP (Chemical Mechanical polishing) 処理を施す。それにより、開口部70内のみ誘電体層2aを残余させる。

【0082】次に、図25を参照して、上記の第1の実施例と同様の方法で、誘電体層2, 2a上にシリコン層3を形成する。その後は、上記の第1の実施例と同様の工程を経て、図21に示されるDRAMが形成されることになる。

【0083】本実施例におけるDRAMの製造方法によれば、上記の第1および第2の実施例の場合よりも製造工程は増える。しかし、従来例と比べると、ストレージノード電極と、MOSTランジスタ9a, 9bの一方の不純物領域8a, 8cとを電気的に接続するためのコンタクト部を形成する工程を省略できる。そのため、従来例よりは製造工程を簡略化することは可能となる。

【0084】次に、図26および図27を用いて、上記の本実施例におけるDRAMの製造方法の変形例について説明する。まず図26を参照して、半導体基板1の主表面上に、上記の場合と同様の方法で所定形状にパターニングされた誘電体層2を形成する。次に、シリコン基板3aを準備し、その表面上に選択的に誘電体層2aを形成する。

【0085】そして、図26に示されるように、誘電体層2の間に誘電体層2aが位置するように、半導体基板1の主表面と、シリコン基板3aの主表面とを重ね合わせる。そして、1100℃程度の熱処理を施すことによって、半導体基板1とシリコン基板3aとを貼り合わせる。

【0086】このとき、現状の技術では、半導体基板1とシリコン基板3aとの貼り合わせのために、上記のような1100℃といった高温の処理が必要となる。そのため、誘電体層2aの特性を考慮した場合には、この方法を使用することは現状においては好ましくないと言える。しかし、将来的に見て、シリコン基板3aと半導体基板1との貼り合わせのための熱処理温度が低減された場合には、有効であると言える。

【0087】次に、図27を参照して、上記のシリコン基板3aに、たとえばエッチング処理などを施すことによって、そのシリコン基板3aの厚みを減じる。それにより、シリコン層3を形成する。その後は、上記の第1および第2の実施例と同様の工程を経て図21に示されるDRAMが形成されることになる。

【0088】(第7実施例)次に、図28を用いて、この発明に基づく第7の実施例について説明する。図28は、この発明に基づく第7の実施例におけるDRAMを示す部分断面図である。

【0089】図28を参照して、本実施例においては、図21に示されるDRAMに、さらに、誘電体層60とセルプレート電極62が形成されている。それにより、上記の第3の実施例の場合と同様に、上記の第6の実施例の場合よりもDRAMを高集積化することが可能となる。

【0090】なお、製造方法に関しては、上記の第6の実施例と同様の工程を経て不純物領域8a、8b、8cまでを形成した後、上記の第3の実施例と同様の工程を経て誘電体層60およびセルプレート電極62が形成される。その後は、上記の第1の実施例と同様の工程を経て図28に示されるDRAMが形成されることになる。

【0091】(第8実施例)次に、図29～図34を用いて、この発明に基づく第8の実施例について説明する。図29は、この発明に基づく第8の実施例におけるDRAMを示す部分断面図である。図30～図34は、本実施例におけるDRAMの特徴的な製造工程の第1工程～第5工程を示す部分断面図である。

【0092】まず図29を用いて、この発明に基づく第8の実施例におけるDRAMの構造について説明する。図29を参照して、本実施例においては、メモリセルアレイ部内において誘電体層2aが形成され、周辺回路部内において誘電体層2がそれぞれ形成されている。このような構造を有することによって、メモリセルアレイ部内においては一定のキャパシタ容量を確保することが容易となり、周辺回路部内においては、MOSトランジスタ9c下に誘電体層2aが形成される場合よりも寄生容量を低減することが可能となる。それにより、上記の第2の実施例の場合よりもさらにDRAMの性能を向上させることが可能となる。

【0093】次に、図30～図34を用いて、本実施例におけるDRAMの製造方法について説明する。まず図30を参照して、上記の第1の実施例と同様の方法で、半導体基板1の主表面上に誘電体層2を形成する。次に、図31を参照して、誘電体層2を所定形状にパターニングすることによって、メモリセルアレイ部内に位置する誘電体層2を除去する。それにより、誘電体層2は周辺回路部内においてのみ残余することとなる。

【0094】次に、図32を参照して、上記の第2の実施例と同様の方法で、半導体基板1の主表面上全面に誘

電体層2aを形成する。そして、上記の第6の実施例の場合と同様に、この誘電体層2aにCMP処理を施す。それにより、図33に示されるように、メモリセルアレイ部内に位置する半導体基板1の主表面上に誘電体層2aを形成する。その後は、上記の第1の実施例と同様の方法で、図34に示されるように、MOSトランジスタ9a、9b、9cをそれぞれ形成する。それ以後は、上記の第1の実施例と同様の工程を経て図29に示されるDRAMが形成されることになる。本実施例において、上記の第6の実施例の場合と同様に、従来例よりは製造工程を簡略化することが可能となる。

【0095】(第9実施例)次に、図35～図37を用いて、この発明に基づく第9の実施例におけるDRAMについて説明する。図35は、この発明に基づく第9の実施例におけるDRAMの部分断面図である。図36および図37は、図35に示されるDRAMの製造工程の特徴的な第1工程および第2工程を示す部分断面図である。

【0096】まず、図35を用いて、この発明に基づく第9の実施例におけるDRAMの構造について説明する。図35を参照して、本実施例におけるDRAMにおいては、メモリセルアレイ部内のシリコン層3の表面上に相対的に比誘電率の高い誘電体層2aが形成され、周辺回路部内においては、半導体層3の表面上にはシリコン酸化膜などからなる相対的に比誘電率の低い誘電体層2が形成されている。

【0097】この誘電体層2の下には半導体基板1が形成されている。誘電体層2aはこの半導体基板1の表面上にまで延びるように形成されている。誘電体層2a上にはセルプレート電極26が形成される。それ以外の構造に関しては図2に示される第1の実施例におけるDRAMと同様である。以上のような構成を有することによって、第8の実施例の場合と同様の効果が得られる。

【0098】次に、図36および図37を用いて、図35に示される第9の実施例におけるDRAMの製造方法について説明する。まず図36を参照して、上記の第1の実施例と同様の工程を経てSOI構造を有する半導体基板1を得る。このSOI構造を有する半導体基板1上に、上記の第1の実施例と同様の工程を経て配線層14までを形成する。次に、ウェットエッチング処理を施すことによって、メモリセルアレイ部下における半導体基板1および誘電体層2を除去する。

【0099】次に、図37を参照して、メモリセルアレイ部内におけるシリコン層3の表面上および半導体基板1の表面上に、スパッタリング法あるいはCVD法などを用いて、誘電体層2aを形成する。そして、この誘電体層2a上に、上記の第4の実施例の場合と同様の方法で、セルプレート電極26を形成する。それにより、図35に示されるDRAMが形成される。

【0100】このように、誘電体層2aを第1および第

21

2の層間絶縁層10、13の形成の後に形成することによって、上記の第4の実施例の場合と同様に、誘電体層2aの特性劣化を防止することが可能となる。また、半導体基板1および誘電体層2は部分的に除去されるので、上記の第4の実施例のように、再び第2の基板にDRAMを接合する工程を必要としない。それにより、上記の第4の実施例の場合よりも工程を簡略化することが可能となる。

【0101】(第10実施例)次に、図38～図40を用いて、この発明に基づく第10の実施例について説明する。図38は、この発明に基づく第10の実施例におけるDRAMを示す部分断面図である。図39および図40は、図38に示されるDRAMの特徴的な製造工程の第1工程～第2工程を示す部分断面図である。

【0102】まず図38を参照して、本実施例においては、半導体基板1と、この半導体基板1の主表面上に形成されたSOI構造の絶縁層となる相対的に比誘電率の低い誘電体層2とを貫通するように、貫通孔50が設けられている。そして、この貫通孔50内および半導体基板1の裏面上にわたって誘電体層2aが形成される。この誘電体層2a上にはセルプレート電極26が形成される。それ以外の構造に関しては図1に示される第1の実施例におけるDRAMと同様である。

【0103】本実施例においては、キャパシタは、MOSTランジスタ9a、9bの一方の不純物領域である8a、8cと、誘電体層2aとセルプレート電極26とで構成される。そして、MOSTランジスタ9a、9bの不純物領域8bとビット線12とのコンタクト部下には、比誘電率の相対的に低い誘電体層2が形成されている。そのため、上記の第6の実施例におけるDRAMの場合と同様にDRAMの性能を向上させることが可能となる。また、上記の各実施例の場合と同様に、従来例に比べて、装置を高さ方向に縮小することも可能となる。

【0104】次に、図39および図40を用いて、図38に示される第10の実施例におけるDRAMの製造方法について説明する。上記の第1の実施例におけるDRAMと同様の工程を経て配線層14までを形成する。そして、半導体基板1および誘電体層2にエッチング処理を施すことによって、不純物領域8a、8c下に、半導体基板1および誘電体層2を貫通する貫通孔50を形成する。それにより、不純物領域8a、8cの一部表面を露出する。

【0105】次に、図40を参照して、スパッタリング法あるいはCVD法などを用いて、貫通孔50内および半導体基板1の裏面上に、誘電体層2aを形成する。この誘電体層2a上にセルプレート電極26を形成する。

【0106】本実施例におけるDRAMの製造方法によれば、誘電体層2aを、第1および第2の層間絶縁層10、13の形成の後に形成することが可能となる。それにより、誘電体層2aの特性劣化を防止することが可能

22

となる。また、MOSTランジスタ9a、9bの不純物領域8a、8cと、キャパシタのストレージノード電極とを同一の工程で形成することが可能となるため、従来例よりも製造工程を簡略化することが可能となる。

【0107】(第11実施例)次に、図41を用いて、この発明に基づく第11の実施例について説明する。図41は、この発明に基づく第11の実施例におけるDRAMを示す部分断面図である。図41を参照して、本実施例においては、上記の第7の実施例の場合のように、図38に示されるDRAMに、誘電体層60とセルプレート電極62とがさらに形成されている。それにより、上記の第7の実施例の場合と同様に、上記の第10の実施例の場合よりもDRAMを高集積化することが可能となる。

【0108】(第12実施例)次に、図42～図44を用いて、この発明に基づく第12の実施例について説明する。図42は、この発明に基づく第12の実施例におけるDRAMを示す部分断面図である。図43は、本実施例の変形例におけるDRAMを示す部分断面図である。図44は、単結晶シリコンあるいは多結晶シリコン内に不純物領域が形成された場合のシート抵抗と不純物濃度との関係を示す図である。

【0109】まず図42を参照して、半導体基板1には所定量のn型の不純物が導入される。そして、誘電体層2が形成される側の半導体基板1の表面には、n型の高濃度不純物領域80が形成される。つまり、不純物領域8a、8bと対向する位置にn型の高濃度不純物領域80が形成されることになる。それにより、上記の第1の実施例の場合よりもキャパシタ容量を増大させることが可能となる。それ以外の構成に関しては上記の第1の実施例の場合と同様である。

【0110】なお、不純物領域80に含まれるn型の不純物濃度は、好ましくは、不純物領域8a、8b、8cに含まれるn型の不純物濃度以上である。具体的には、不純物領域80に含まれるn型の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上である。また、半導体基板1と不純物領域80にn型の不純物を導入したのは、不純物領域8a、8b、8cに含まれる不純物がn型であることに起因する。したがって、不純物領域8a、8b、8cに含まれる不純物がp型の場合には、半導体基板1および不純物領域80にはp型の不純物が導入されることが好ましい。また、半導体基板1は、好ましくは、単結晶シリコン基板である。それにより、不純物領域80が多結晶シリコン内に形成される場合よりも、不純物領域80のシート抵抗を半分程度に小さく抑えることが可能となる。このことが図44に示されている。

【0111】次に、図43を用いて、本実施例の変形例について説明する。図43を参照して、本変形例においては、半導体基板1の表面において、不純物領域8a、8c直下に位置する領域に、選択的に上記の不純物領域

80が形成されている。それにより、図42に示される場合とほぼ同様の効果が得られる。

【0112】なお、上記の不純物領域80の形成方法としては、誘電体層2の形成の前に、半導体基板1の主表面に所定の不純物をイオン注入などにより導入することによって形成可能である。また、上記の不純物領域80は、他の実施例において形成されてもよい。

【0113】(第13実施例)次に、図45～図49を用いて、この発明に基づく第13の実施例について説明する。図45は、この発明に基づく第13の実施例におけるDRAMを示す部分断面図である。図46～図49は、図45に示されるDRAMの製造工程の特徴的な第1工程～第4工程を示す部分断面図である。

【0114】まず図45を参照して、本実施例においては、前述の各実施例の場合とは異なり、シリコン層3が島状にパターニングされている。フィールド酸化膜4が形成されていない。そして、不純物領域8a、8cの上面と側面とを覆うように誘電体層81が形成されている。そして、この誘電体層81を覆うようにセルプレート電極82が形成されている。このように、誘電体層81が不純物領域8a、8cの側面をも覆うように形成されることによって、さらにキャパシタ容量を増大させることが可能となる。それ以外の構造に関しては、図1に示される第1の実施例の場合とほぼ同様である。

【0115】次に、図46～図49を用いて、本実施例におけるDRAMの製造方法について説明する。まず図46を参照して、上記の第1の実施例と同様の工程を経て1000～2000Å程度の厚みのシリコン層3までを形成した後、フォトリソグラフィ技術およびエッチング技術を用いてシリコン層3を所定形状にパターニングする。より具体的には、シリコン層3を島状にパターニングする。

【0116】次に、図47を参照して、熱酸化法あるいはCVD法などを用いて、ゲート絶縁膜5を形成する。そして、このゲート絶縁膜5上に、CVD法などを用いて、2000Å程度の厚みt1を有する多結晶シリコン層6を形成する。この多結晶シリコン層6上に、2000Å～3000Å程度の厚みt2を有するシリコン酸化膜7aを形成する。そして、このシリコン酸化膜7a、多結晶シリコン層6を所定形状にパターニングすることによって、ゲート電極6を形成する。このゲート電極6をマスクとして用いて、n型の不純物をシリコン層3内に注入する。それにより、n-不純物領域8a'、8b'、8c'がそれぞれ形成される。

【0117】次に、図48を参照して、CVD法などを用いて、シリコン層3およびゲート電極6を覆うように1000Å程度の厚みのシリコン酸化膜を堆積する。そして、このシリコン酸化膜に異方性エッチング処理を施すことによって、ゲート電極6を覆うシリコン酸化膜7を形成する。このとき、シリコン酸化膜7の厚みt3

が、約4000Å～5000Åであるのに対し、シリコン層3の厚みt4は約1000Å～約2000Å程度と小さい。それにより、シリコン層3の側壁に上記のシリコン酸化膜が残余しないようにエッチング除去することが可能となる。その後、シリコン酸化膜7をマスクとして用いて、n型の不純物をシリコン層3内に注入する。それによりn+不純物領域8a、8b、8cがそれぞれ形成される。

【0118】次に、図49を参照して、CVD法あるいはスパッタリング法などを用いて、誘電体層81およびセルプレート電極82をそれぞれ形成する。そして、誘電体層81およびセルプレート電極82を所定形状にパターニングする。その後は、上記の第1の実施例の場合と同様の工程を経て図45に示されるDRAMが形成されることになる。

【0119】以上さまざまな実施例について説明を行ってきたが、各実施例の特徴部分を他の実施例に適用するものであってもよい。

【0120】

【発明の効果】以上説明したように、この発明によれば、SOI構造を有する半導体記憶装置において、この半導体記憶装置における1つの記憶素子を構成するMOSTランジスタとキャパシタの構成要素のうち少なくとも1つの構成要素を共有させることが可能となる。それにより、半導体記憶装置を高さ方向に縮小することが可能となるとともに、半導体記憶装置の性能を向上させることも可能となる。また、半導体記憶装置の構造も簡略化されるため、製造工程も簡略化される。さらに、半導体記憶装置の構造が簡略化されるため、高集積化を図ることが容易となる。

【0121】すなわち、本発明によれば、SOI構造を有する半導体記憶装置において、高性能かつ高集積化が図られた構造を容易に得ることが可能となる。

【図面の簡単な説明】

【図1】 この発明に基づく第1の実施例におけるDRAMを示す部分断面図である。

【図2】 この発明に基づく第1の実施例におけるDRAMのメモリセルアレイ部と周辺回路部とを示す断面図である。

【図3】 この発明に基づく第1の実施例におけるDRAMの製造工程の第1工程を示す部分断面図である。

【図4】 この発明に基づく第1の実施例におけるDRAMの製造工程の第2工程を示す部分断面図である。

【図5】 この発明に基づく第1の実施例におけるDRAMの製造工程の第3工程を示す部分断面図である。

【図6】 この発明に基づく第1の実施例におけるDRAMの製造工程の第4工程を示す部分断面図である。

【図7】 この発明に基づく第1の実施例におけるDRAMの製造工程の第5工程を示す部分断面図である。

【図8】 この発明に基づく第2の実施例におけるDR

AMを示す部分断面図である。

【図9】 この発明に基づく第2の実施例におけるDRAMの特徴的な製造工程を示す断面図である。

【図10】 この発明に基づく第2の実施例におけるDRAMのメモセルアレイ部と周辺回路部とを示す断面図である。

【図11】 この発明に基づく第3の実施例におけるDRAMを示す部分断面図である。

【図12】 この発明に基づく第3の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図13】 この発明に基づく第3の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図14】 この発明に基づく第4の実施例におけるDRAMを示す部分断面図である。

【図15】 この発明に基づく第4の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図16】 この発明に基づく第4の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図17】 この発明に基づく第4の実施例におけるDRAMの特徴的な製造工程の第3工程を示す部分断面図である。

【図18】 この発明に基づく第4の実施例におけるDRAMの特徴的な製造工程の第4工程を示す部分断面図である。

【図19】 この発明に基づく第5の実施例におけるDRAMを示す部分断面図である。

【図20】 この発明に基づく第5の実施例におけるDRAMの特徴的な製造工程を示す部分断面図である。

【図21】 この発明に基づく第6の実施例におけるDRAMを示す部分断面図である。

【図22】 この発明に基づく第6の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図23】 この発明に基づく第6の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図24】 この発明に基づく第6の実施例におけるDRAMの特徴的な製造工程の第3工程を示す部分断面図である。

【図25】 この発明に基づく第6の実施例におけるDRAMの特徴的な製造工程の第4工程を示す部分断面図である。

【図26】 この発明に基づく第6の実施例におけるDRAMの製造方法の変形例における特徴的な第1工程を示す部分断面図である。

【図27】 この発明に基づく第6の実施例におけるD

RAMの製造方法の変形例における特徴的な第2工程を示す部分断面図である。

【図28】 この発明に基づく第7の実施例におけるDRAMを示す部分断面図である。

【図29】 この発明に基づく第8の実施例におけるDRAMを示す部分断面図である。

【図30】 この発明に基づく第8の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図31】 この発明に基づく第8の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図32】 この発明に基づく第8の実施例におけるDRAMの特徴的な製造工程の第3工程を示す部分断面図である。

【図33】 この発明に基づく第8の実施例におけるDRAMの特徴的な製造工程の第4工程を示す部分断面図である。

【図34】 この発明に基づく第8の実施例におけるDRAMの特徴的な製造工程の第5工程を示す部分断面図である。

【図35】 この発明に基づく第9の実施例におけるDRAMを示す部分断面図である。

【図36】 この発明に基づく第9の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図37】 この発明に基づく第9の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図38】 この発明に基づく第10の実施例におけるDRAMを示す部分断面図である。

【図39】 この発明に基づく第10の実施例におけるDRAMの特徴的な製造工程の第1工程を示す部分断面図である。

【図40】 この発明に基づく第10の実施例におけるDRAMの特徴的な製造工程の第2工程を示す部分断面図である。

【図41】 この発明に基づく第11の実施例におけるDRAMを示す部分断面図である。

【図42】 この発明に基づく第12の実施例におけるDRAMを示す部分断面図である。

【図43】 この発明に基づく第12の実施例におけるDRAMの変形例を示す部分断面図である。

【図44】 単結晶シリコンと多結晶シリコンとに不純物領域が形成された場合のシート抵抗と不純物濃度との関係を示す図である。

【図45】 この発明に基づく第13の実施例におけるDRAMを示す部分断面図である。

【図46】 この発明に基づく第13の実施例におけるDRAMの製造工程の特徴的な第1工程を示す部分断面

図である。

【図47】 この発明に基づく第13の実施例におけるDRAMの製造工程の特徴的な第2工程を示す部分断面図である。

【図48】 この発明に基づく第13の実施例におけるDRAMの製造工程の特徴的な第3工程を示す部分断面図である。

【図49】 この発明に基づく第13の実施例におけるDRAMの製造工程の特徴的な第4工程を示す部分断面図である。

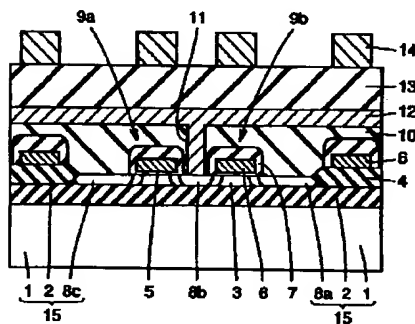
【図50】 DRAMの一般的な構成を示すブロック図である。

【図51】 従来のSOI構造を有するDRAMの一例を示す部分断面図である。

【符号の説明】

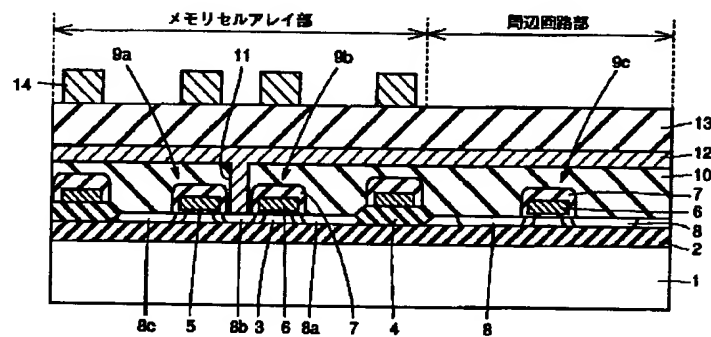
1 半導体基板、2, 2a, 81 誘電体層、3 シリコン層、8a, 8b, 8c 不純物領域、9a, 9b, 9c MOSTランジスタ、15 キャパシタ、24 第2の基板、26, 82 セルプレート電極、20 絶縁層。

【図1】

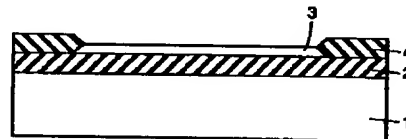


- | | |
|-------------------|-------------------|
| 1: 半導体基板 | 2: 誘電体層 |
| 3: シリコン層 | 4: フィールド酸化膜 |
| 5: ゲート絶縁膜 | 6: ゲート電極 |
| 7: 絶縁層 | 8a, 8b, 8c: 不純物領域 |
| 9a, 9b: MOSトランジスタ | 10: 第1の層間絶縁膜 |
| 11: コンタクトホール | 12: ビット線 |
| 13: 第2の層間絶縁膜 | 14: 配線層 |
| 15: キャパシタ | |

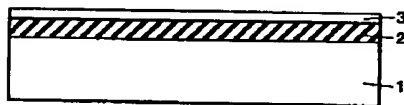
【図2】



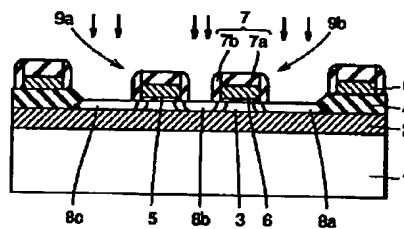
【図4】



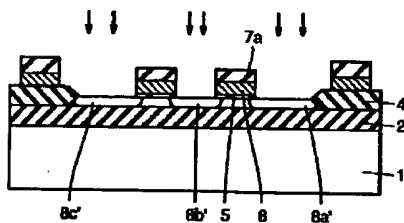
【図3】



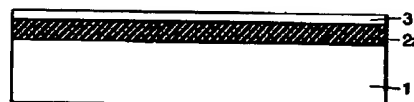
【図6】



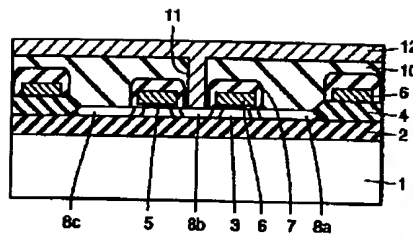
【図5】



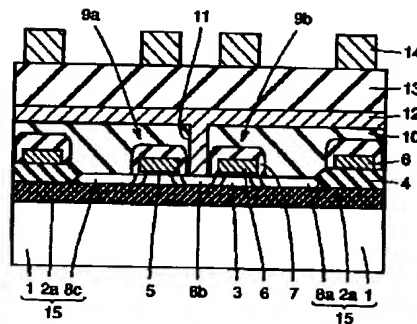
【図9】



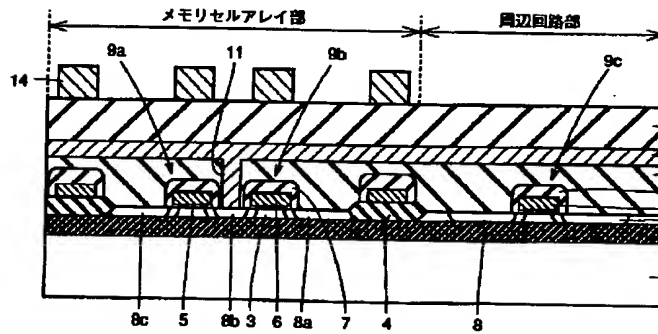
【図7】



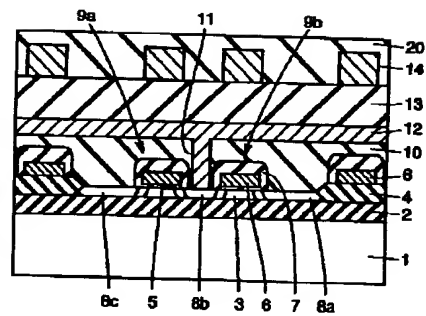
【図8】



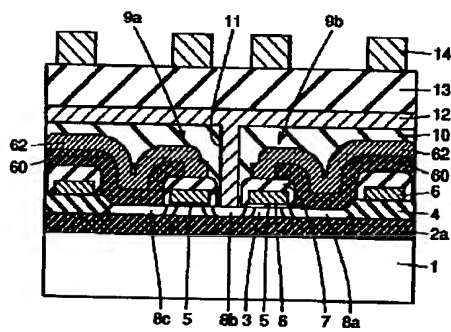
【図10】



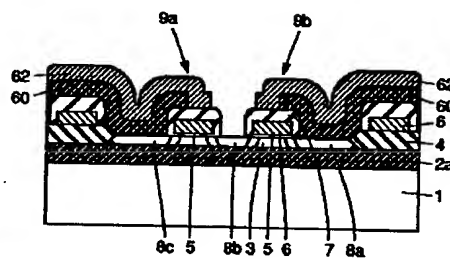
【図15】



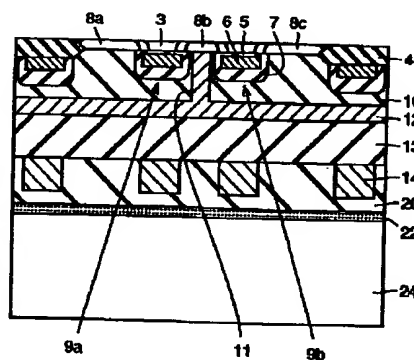
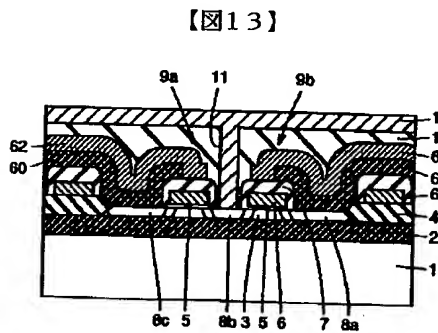
【図11】



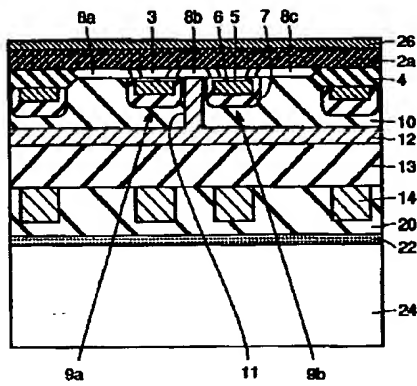
【図12】



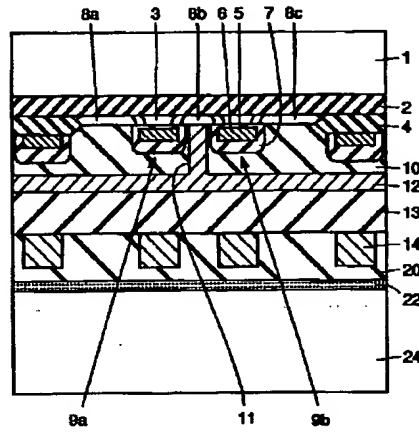
【図17】



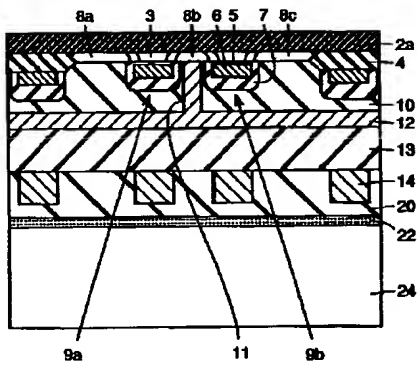
【図14】



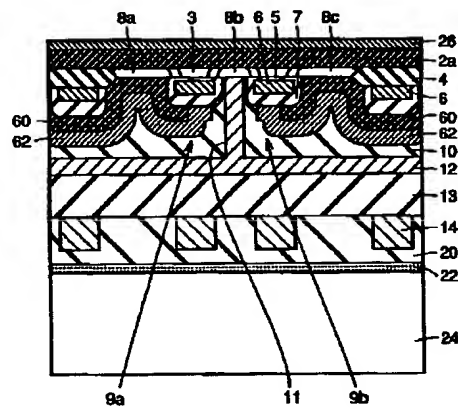
【図16】



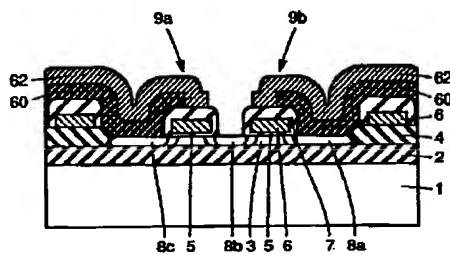
【図18】



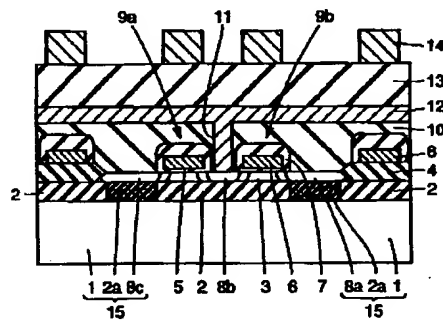
【図19】



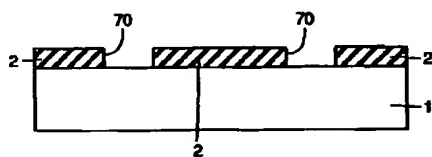
【図20】



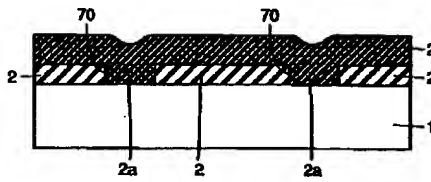
【図21】



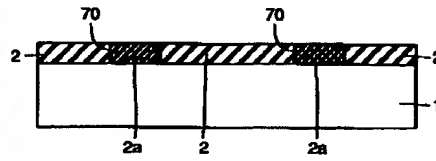
【図22】



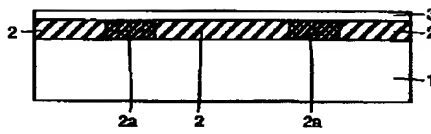
【図23】



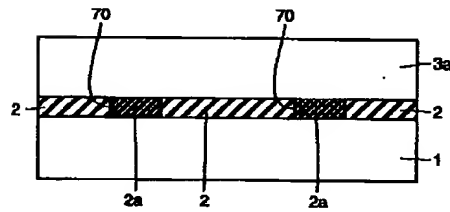
【図24】



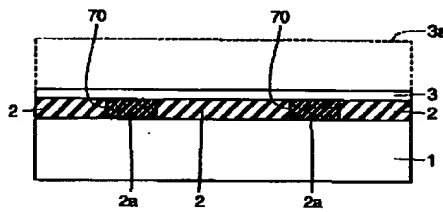
【図25】



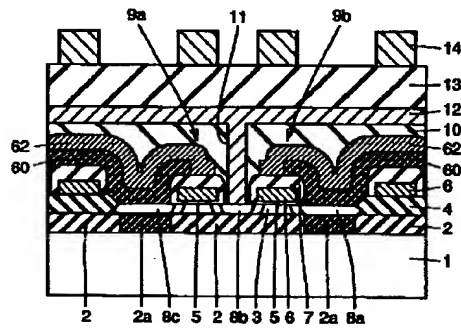
【図26】



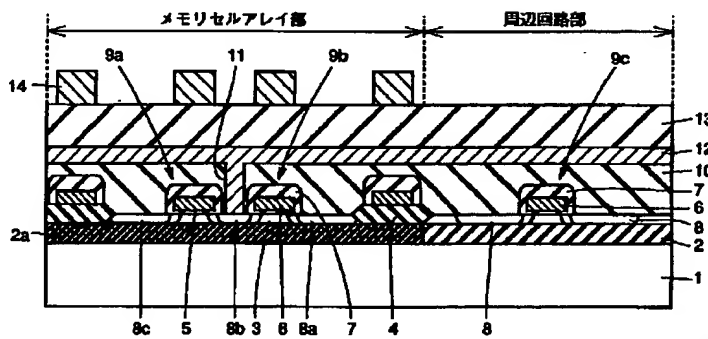
【図27】



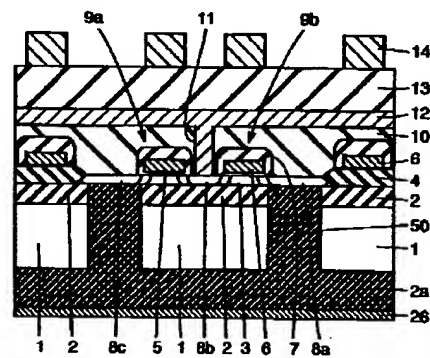
【図28】



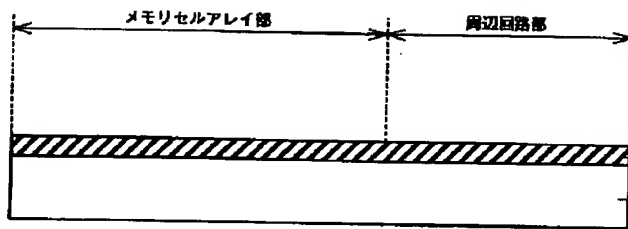
【図29】



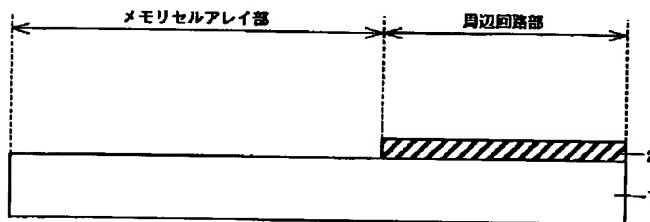
【図38】



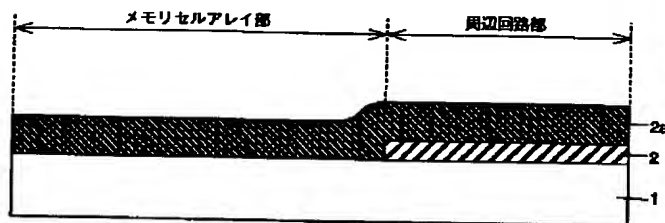
【図30】



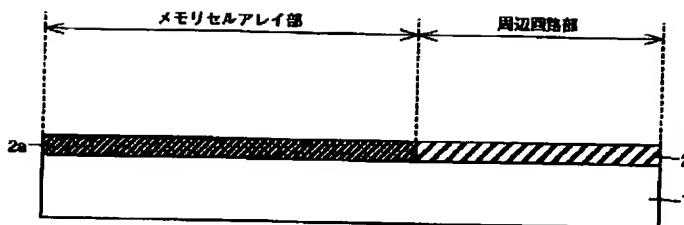
【図31】



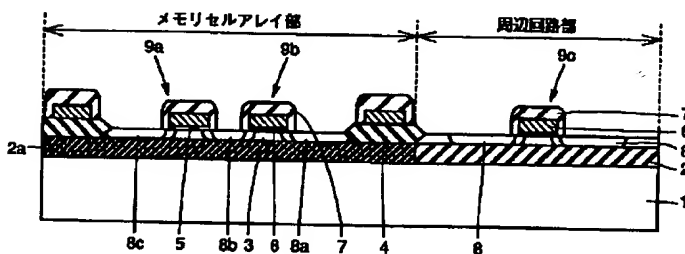
【図32】



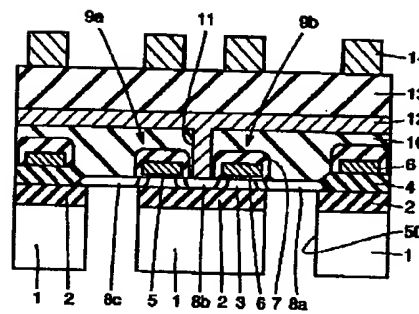
【図33】



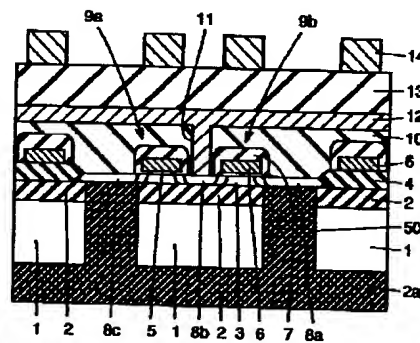
【図34】



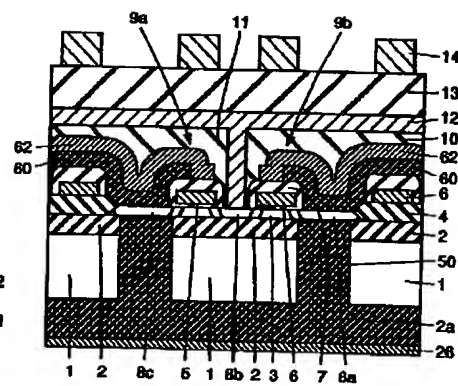
【図39】



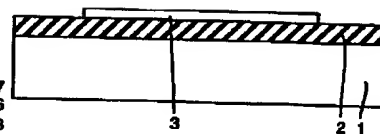
【図40】



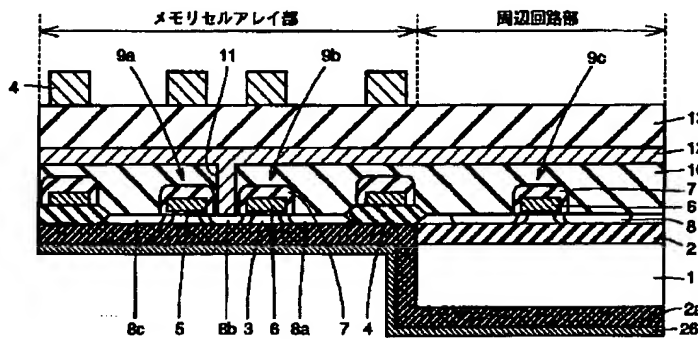
【図41】



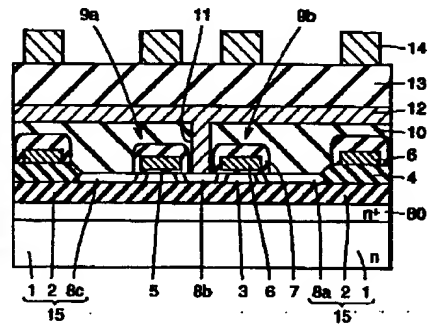
【図46】



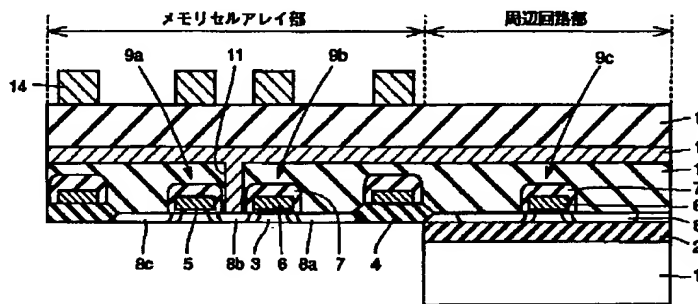
【図35】



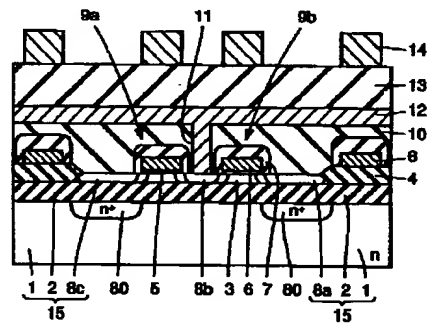
【図42】



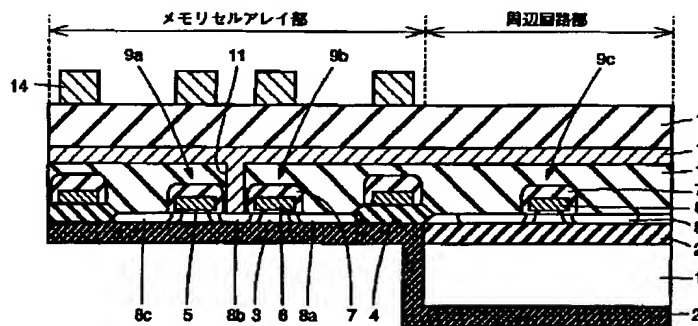
【図36】



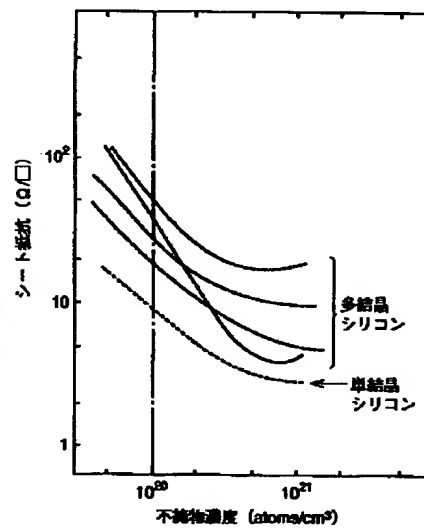
【図43】



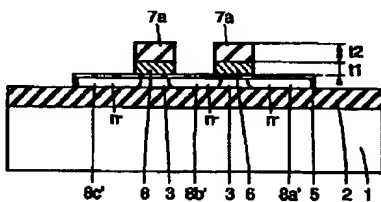
【図37】



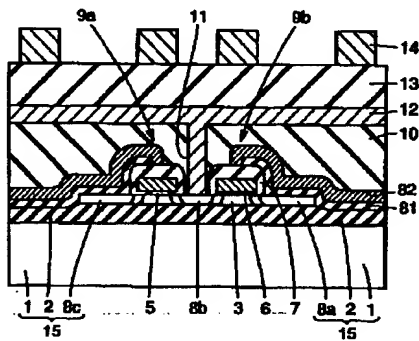
【図44】



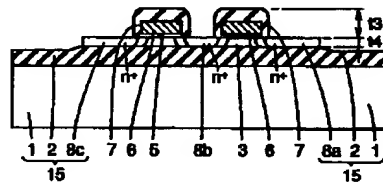
【図47】



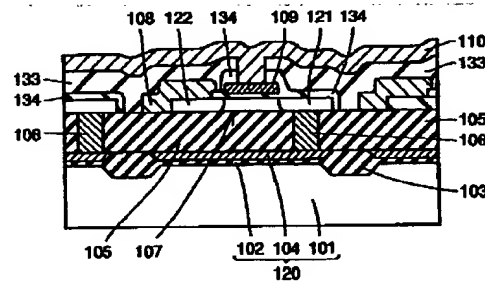
【図45】



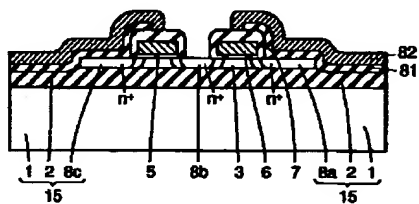
【図48】



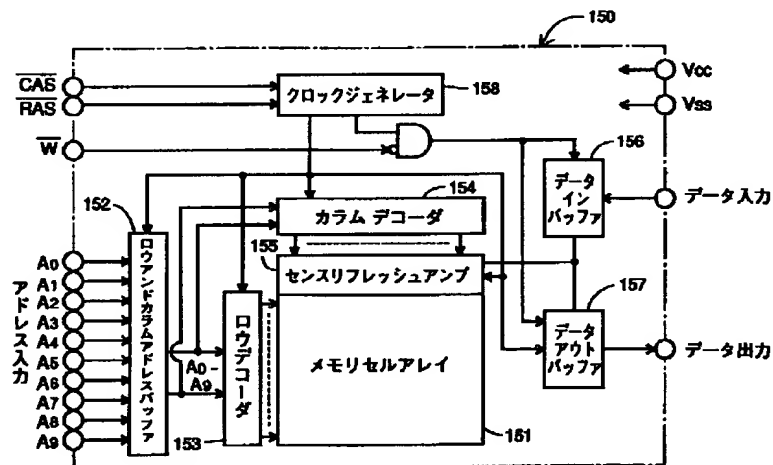
【図51】



【図49】



【図50】



フロントページの続き

(51)Int. Cl.⁶

H01L 21/822

29/786

識別記号

片内整理番号

FI

技術表示箇所

7210-4M

H01L 27/10

325 C

7210-4M

325 R

9056-4M

29/78

311 C